

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

SOLID-STATE IMAGE PICKUP DEVICE

Patent Number: JP59201589
Publication date: 1984-11-15
Inventor(s): TANAKA SHIYOUICHI
Applicant(s): SHIYOUICHI TANAKA
Requested Patent:  JP59201589
Application Number: JP19830076478 19830430
Priority Number(s):
IPC Classification: H04N5/30; H01L27/14
EC Classification:
Equivalents:



Abstract

PURPOSE:To simplify the transfer operation and structure and to improve the blooming suppressing capability of the titled device by providing plural noise charge wells between signal charge wells adjacent to a vertical charge coupled device.

CONSTITUTION:Picture elements 1A-1D and transfer electrodes 3A-3D of the vertical charge coupled device (VCCD)3 are connected electrically by address gates 2A-2D. The address gates 2A-2D and the transfer electrodes 3A-3D are connected to a vertical scanning circuit 15 and a shift register 16 by vertical scanning lines 5A-5E. The final transfer electrode 3A of the VCCD3 is connected to a horizontal charge coupled device 10 via a transfer electrode 6 and a CCD9 for temporary storage. The transfer electrode 6 and a noise charge absorbing drain 8 are connected by a branching transfer gate 7.

Data supplied from the esp@cenet database - I2



THIS PAGE BLANK (USPTO)

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-201589

① Int. Cl.³

H 04 N 5/30

H 01 L 27/14

識別記号

庁内整理番号

6940-5C

6732-5F

④ 公開 昭和59年(1984)11月15日

発明の数 1

審査請求 未請求

(全 9 頁)

④ 固体撮像装置

名古屋市守山区大森天子田3532

大森向住宅 4 棟516号

② 特 願 昭58-76478

① 出 願 人 田中正一

② 出 願 昭58(1983)4月30日

名古屋市守山区大森天子田3532

② 発 明 者 田中正一

大森向住宅 4 棟516号

明 細 書 (2)

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

(1). 行列状に配置された画素と、画素列の間に配置された垂直取込用CCD(VCCDと略称される。)と、画素とVCCDと接続するアドレスゲートと、水平取込用CCD(HCCDと略称される。)と、1行の画素の信号電荷をVCCDに選択する垂直走査回路と、垂直走査回路とアドレスゲートまたは画素コンデンサのゲート電極と接続する垂直走査線と備える固体撮像装置において、(以下において、上記の固体撮像装置は1LA-CCDセンサと略称される。)VCCDは信号電荷取込用オ1電位井戸とノイズ電荷取込用オ2電位井戸を備え、異なる画素行から読み出された信号電荷を転送する2つのオ1電位井戸の間に複数個のオ2電位井戸を配置することを特徴とする固体撮像装置。

(2). 1LA-CCDセンサにおいて、

VCCDは信号電荷取込用オ1電位井戸とノイズ電荷取込用オ2電位井戸を持ち、異なる画素行から読み出された信号電荷を転送する2つのオ1電位井戸の間に、隣接する複数個の転送電極によって作られるオ2電位井戸が配置される事を特徴とする固体撮像装置。

(3). 1LA-CCDセンサにおいて、

VCCDのオN行の転送電極に隣接するアドレスゲートと上記の転送電極に隣接する転送電極に接続する事を特徴とする固体撮像装置。

(4). VCCDは信号電荷取込用オ1電位井戸とノイズ電荷取込用オ2電位井戸を持ち、オ1電位井戸とオ2電位井戸と分離する電位障壁は複数個の転送電極によって作られる事を特徴とするオ3項記載の固体撮像装置。

(5). 信号電荷を転送する複数個のオ1電位井戸が1個の転送電極によって作られる電位障壁によって分離され、上記の転送電極に読み出しバリス電圧を印加する事によって画素から上記のオ1電位井戸に信号電荷を転送する事を特徴とする

るオ3項記載の固体撮像装置。

(6). VCCDは1個の転送電極によって作られた信号電荷転送用オ1電位井戸と、隣接する複数個の転送電極によって作られたノイズ電荷転送用オ2電位井戸とを持つ事と特徴とするオ3項記載の固体撮像装置。

(7). VCCDは1個の転送電極によって作られた信号電荷転送用オ1電位井戸と、1個の転送電極によって作られたノイズ電荷転送用オ2電位井戸とを持つ事と特徴とするオ3項記載の固体撮像装置。

(8). 1LA-CCDセンサにおいて、

VCCDとHCCDの間には、3行以上の信号電荷を蓄積する事のできる電荷転送装置(CCD)を配置する事と特徴とする固体撮像装置。

3. 発明の詳細な説明

技術分野

本発明はインタラインCCDエリトセンサに関し、特に任意の画素行を選択できるインタラインアドレス形CCDエリトセンサに関する。

図57-69998に開示される1LA-CCDセンサにおいて、VCCDとM相クロック電圧によって駆動する時、1水平期間に2M段(1段=1転送電極)だけ信号電荷を垂直転送する必要があり、そして、イングレス形式において、2M-2段の垂直転送ごとに1行の画素からVCCDに信号電荷を読み出す必要がある。非イングレス形式において、2M-1段の垂直転送ごとに1行の画素から信号電荷を読み出す必要がある。そしてアドレスゲートに信号電荷 R_A を読み出すとき、リードパルスとプルミング電荷 R_B を読み出す小さいオーバーフローパルスとを発生させる必要がある。オーバーフローパルスはVCCDのノイズ電荷井戸 W_N に隣接するアドレスゲートにだけ印加し、リードパルスはVCCDの信号電荷井戸 W_S に隣接するアドレスゲートにだけ印加する必要がある。上記の説明からわかるように、動作電圧が複雑である事がオ1の問題である。VCCDとアドレスゲートとを接続すると層MOS電極構造の使用は動作形式をさらに複雑にするので、事実上

背景技術

信号電荷を垂直転送するCCD(VCCD)と画素列の間に配置するインタラインCCDセンサは公知である。垂直走査回路によって選択された任意の画素行の信号電荷をVCCDに転送させるインタラインアドレス形CCDエリトセンサ(以下において、1LA-CCDセンサと略称される。)は特開57-69978, 132481, 132482, 202183, 207486に開示される。特開57-69978は画素とVCCDとを接続するアドレスゲートに2種類のパルス電圧を印加する事によって、VCCDの信号電荷井戸に信号電荷を読み出し、VCCDのノイズ電荷井戸にプルミング電荷を読み出す。本発明人によって出願された特開57-49913, 198233, 特出58-10215は本発明の先行出願である。

発明の開示

上記の先行技術にも関らず、1LA-CCDセンサは改善すべき多くの問題を持つ。たとえば、特

非常困難である。これがオ2の問題である。さらに、10倍以上のプルミング条件(垂直画素数の10%の画素に最大信号電荷量の5%の10倍の光電荷と発生する光が入射する条件)において、 W_N は一杯になり、 R_B は W_S にオーバーフローする。これがオ3の問題である。アドレスゲートにオーバーフローパルスを印加する事によって画素 R_B はVCCDの電荷蓄積能力が低下する。これがオ4の問題である。特開57-132481, 132482に開示される1LA-CCDセンサは1水平期間に垂直転送を完了する事によってその転送動作を簡単にしている。しかしその消費電力は大幅に増加する。本発明のオ1の目的は1LA-CCDセンサの転送動作を構造を簡単にする事である。本発明のオ2の目的は1LA-CCDセンサの消費電力を低減する事である。上記の目的を達成するために、本発明は4個の独立発明を開示する。各独立発明は非常に深い関係を持つ

る。一緒に実施する事によって最良の結果が得られるので、本明細書は上記の4個の独立発明と一緒に開示する。各独立発明の特徴と効果が以下に説明される。

独立発明1. (クレーム1)

VCCDがフルーミング電荷 Q_F 等のノイズ電荷を保持するノイズ電荷井戸 W_N と信号電荷を保持する信号電荷井戸 W_S を備え、 W_N と W_S と相互に垂直駆送する1LA-CCDセンサにおいて、強力なフルーミングが発生する時に Q_F は W_N から W_S にオーバーフローする。その結果、信号のSN比は極端に低下する。本発明は1LA-CCDセンサの上記の欠点を改善するために、VCCDが隣接する W_S の間に複数の W_N を挿入する特徴とする。上記の各 W_N はそれぞれ、1個もしくは複数の駆送電極によって作られる。このようにすればVCCDのフルーミング抑圧能力は大いに増加できる。たとえば隣接する W_S の間に5個の W_N を備え、上記の W_N は Q_F を駆送する1LA-CCDセンサは50倍のフルーミングを抑

压できる。そしてスメア電荷は大幅に低減される。特に、大きな水平画素数を持つインタラインCCDセンサのVCCDと垂直画素間は狭い(たとえば2~3 μ m)の分離領域(チャンネルストンパ)によって分離されるので、スメア電荷はかなり増加する。本発明によれば、垂直画素間を增加してスメア電荷を低減する事が可能になる。

独立発明2. (クレーム2)

独立発明1によって、1LA-CCDセンサのフルーミングとスメアは低減された。しかし、上記のノイズ電荷を低減する程、1水平期間に垂直駆送しなければならぬ駆送段数が増加する。たとえば、100倍のフルーミング条件において、3相クロックを使用するVCCDは1水平期間に33段の垂直駆送を実施する必要がある。したがって、VCCDの1電位サフは Q_{smax} に等しい電荷駆送能力を持つ必要が生ずる。本発明は1LA-CCDセンサの上記の欠点を改善するために、VCCDの隣接する W_S の間に W_N を挿入する駆送電極よりも2倍以上の駆送電極によって作られる W_N

を配置する事を特徴とする。上記の W_N を作る各駆送電極は互いに隣接している。このようにすれば1水平期間に必要な垂直駆送段数は低減できる。たとえば、100倍のフルーミング抑圧能力を得るために1水平期間に垂直駆送される段数は15になる。そして、消費電力は減少する。本発明において、隣接する複数の駆送電極によって作られるノイズ電荷井戸(以下において連続形ノイズ電荷井戸 W_{NC} と呼ばれる。)は1個の駆送電極によって作られる孤立形ノイズ電荷井戸(以下において W_{Ni} と呼ばれる。)に比べて1駆送電極当りの電荷蓄積能力は増加する。 W_{NC} と W_{Ni} を配置する事は可能である。1LA-CCDセンサにおいて、VCCDの駆送電極と垂直走査回路と接続する垂直走査線は大きな抵抗と大きな容量を持つので、VCCDの高速駆送は強力なドライバ回路を必要とした。本発明によれば垂直駆送速度は低くできるので、垂直走査線の抵抗が大きくと消費電力の増加は小さい。

独立発明3. (クレーム3)

独立発明1と2の実施によって、大きなノイズ電荷駆送能力を持つ1LA-CCDセンサが開示された。しかし、フルーミング電荷 Q_F と W_N にオーバーフローさせるために非常に複雑なクロックを発生する必要がある。本発明は1LA-CCDセンサの上記の欠点を改善するために、VCCDのON行の駆送電極に隣接するアドレスゲートと上記のON行の駆送電極に隣接するON+1行またはON-1行の駆送電極に接続する事を特徴とする。好ましい実施例において、ON行の~~駆送電極~~がON+1行の駆送電極に信号電荷を送り出すVCCDにおいて、ON行の駆送電極とON+1行のアドレスゲートが接続される。このようにすれば、VCCDの孤立形信号電荷井戸 W_{Si} に隣接するアドレスゲートは従来より浅い電位を持つので、 W_{Si} の電荷蓄積能力は増加する。ただし、孤立形信号電荷井戸 W_{Si} は1個の駆送電極の下に作られ、連続形信号電荷井戸 W_{Sc} は複数の駆送電極の下に作られる。そして、 W_{NC} に隣接するアドレスゲートの大部分は W_{Si} に隣接

施例によって詳しく説明される。

発明を実施するための最良の形態

図1は本発明の1LA-CCDセンサの1実施例の平面図である。画素1(A~D)とVCCD3の各転送電極3(A~D)はアドレスゲート2(A~D)によって電的に接続される。アドレスゲート2(A~D)と転送電極3(A~D)は垂直走査線5(A~E)によって垂直走査回路15とシフトレジスタ(または多相クロック回路)16に接続される。転送電極3Bとアドレスゲート2Aが垂直走査線5Bに接続され、他の転送電極とアドレスゲートも同様に接続される。VCCD3の最終転送電極3Aは転送電極6と一時蓄積用CCD7を介してHCCD10に接続される。そして、転送電極6とノイズ電荷吸収ドレン8は分岐用転送ゲート7によって接続される。図2は図1の撮像領域の部分平面図である。図3Aは図2のA-A'断面図であり、図3Bは図2のB-B'断面図である。約 $5 \times 10^{14} \sim 4 \times 10^{15}$ 原子/CCのP-基板上に作られた画素1Bとパルキヤン

に転送される垂直転送がイングライソCCDセンサより大に増加する事である。垂直走査線5の電圧定数が大く、垂直走査回路と転送用シフトレジスタ(または多相クロック回路)の出力抵抗も大いので、水平同期期間に転送される垂直転送には限界がある。水平走査期間に垂直転送を実施する事によって、転送パルス周波数は大に低下できるが、HCCDの出力容量にクロックノイズが混入する。本発明は上記の欠点を改善するために、VCCDとHCCDの間に、3行以上の信号電荷を蓄積できる一時蓄積用CCDを配置する事と特徴とする。このようにすれば、HCCDの出力容量はVCCDの転送電極から大に離れるのでクロックノイズは許容できる範囲の量に低減される。特に、上記の一時蓄積用CCDの上に導電性のモールド電極を配置する事によってクロックノイズは非常に小さくなる。HCCDの出力容量に近接して配置されるグミ-CCDを使用する事によってクロックノイズを軽減する事が可能である。本発明の他の特徴と効果は以下の実

ネル領域14は約 $10^{15} \sim 5 \times 10^{16}$ 原子/CCのN型領域である。P型キヤンネルストップ領域12は約 10^{20} 原子/CCの不純物濃度を持つ。オ1層ポリシリコン電極3Bとオ2層ポリシリコン電極2Bは約600Åの絶縁膜上に形成される。図4は図1の部分平面図である。ノイズ電荷吸収ドレンであるN+領域8は 10^{20} 原子/CCの不純物濃度を持ち、オ3層アルミ電極線によって絶電される。画素以外の領域上にはオ4層アルミニウム膜が配置される。一時蓄積用CCD9は12個の転送電極9(A~L)によって構成され、4行以下の信号電荷を保持する。そして3相クロック電圧によって、水平同期期間に1ビット(3転送電極)だけ垂直転送される。HCCD10は2組CCDであり、その各転送電極の下に電位障壁領域10Aと電位井戸領域10Bが配置される。上記の電位障壁領域10Aとアドレスゲート2の電位障壁領域の表面にP型イオンを注入する事が好ましい。図1の1LA-CCDセンサの動作が図5の電位図によって説明される。22(C, B

, D, F)は転送電極3(A~N)の下のパルキヤンネル電位 V_B を表わす。22(A, C, E)は上記の転送電極に隣接するアドレスゲート下に作られる電位障壁の電位 V_S を表わす。電位線17Bにおいて、転送電極3(A, K)の下に W_S が作られ、転送電極3(D~H)の下に W_N が作られる。この時の V_S の電位が22Aによって表わされる。電位線22Aのより深い電位 V_{SH} は電位線22Bのより浅い電位 V_{BL} より深く作られ、転送電極3(C, E, F, G)に隣接する画素の多ゲル-ミング電荷 Q_B は W_N に選択的にオーバーフローする。電位線22(C, D)は電位線22(A, B)において、転送電極3Lにのより深いリードパルス V_R を印加した状態を表わす。その結果、転送電極3と、3Lに画素1Kの信号電荷が読み出される。次に電位線22(C, D)は電位線22(A, B)に戻る。好ましい実施例において、ゲート電極の電圧が等しい時、 V_B は V_S より約1~6Vより深い電位を持つ。たとえば V_{BL} は0Vであり、

V_{BH} は +5V であり、 V_{BR} は +9V であり、 V_{SH} は +0.7V であり、 V_{SR} は +4.7V である。電位線 22 (E, F) は電位線 (A, B) と 8 段だけ垂直搬送した状態を表わす。その結果、次の W_{Si} は搬送電極 3M の下に作られる。そしてリードパルス V_R は搬送電極 3N に印加され、画素 1M の信号電荷が電位井戸 3M, 3N に搬送される。他の実施例において、1 水平期間に 10 段の垂直搬送が実施され、12 段の垂直搬送ごとにリードパルス電圧 V_R が印加される。この実施例において、1 水平期間に、搬送電極 3L にリードパルス V_R が印加され、次の水平期間に、搬送電極 3U にリードパルスが印加される。本実施例において、垂直走査回路は 1 水平期間に 2 行の垂直走査線にリードパルスを与える場合もある。図 5 の実施例において、VCCD は 50 倍のゲインとノイズ増幅率、スキャノイズは従来のインテグレーションセンサの 1/6 になる。図 6 は図 5 の VCCD に印加する 10 相クロック^(電圧)図である。リードパルスは 8 段の垂直搬送ごとに発生される。1

搬送に必要な時間は約 6 μ s である。上記の 10 相クロック電圧が安定である期間 T_x に、10 相クロック回路 16 は垂直走査回路 5 (A ~ D) から分離され、垂直走査回路 15 から必要な垂直走査線にリードパルス V_R が印加される。図 4 において、1 水平期間の一定期間 T_y に信号電荷は一時蓄積用 CCD に搬送され、1 水平期間の他の一定期間 T_z にノイズ電荷はドレン 8 に搬送される。搬送電極 7 に中間垂直電圧 V_P を印加する事も可能であり、VCCD と同期するクロックを印加する事も可能である。分岐用搬送電極 7 とドレン 8 を接続すれば電極構造は簡単になる。図 7 は 10 相クロック回路 16 と垂直走査回路の接続延長回路図である。10 ビットシフトレジスタ 18 は 10 本の出力端子を持ち、各出力端子 20 は共通クロック線 21 (A ~ J) に接続され、共通クロック線 21 (A ~ J) はスイッチ 18A を介して垂直走査線 5 (A ~ D) に接続される。撮像領域 1 の中央に配置されるシフトレジスタ 18 の入力端子 16A には所定のクロック波形が入力され

る。独立のシフトレジスタを複数個配置する事も可能である。ブルーミングの発生に応じて上記のクロック波形を変更する事も可能である。スイッチ 18A をターンオフし、スイッチ 17A をターンオンし、そして垂直走査線 5 (A ~ D) は約 500 段の搬送段数を持つ垂直走査回路 15 によって制御されるスイッチ 17B のオ1端子に接続される。そしてスイッチ 17B のオ2端子に接続されたリードパルス電源 19 は所定の間隔でリードパルス V_R を発生する。垂直走査回路 15 に記憶されている情報は ¹リードパルス期間に 2 ビットだけ垂直搬送される。図 8 において、垂直走査回路 15 は約 250 段の搬送段数を持つ。そしてスイッチ 17 (B, C) は垂直走査回路 15 の 1 個の出力端子によって制御される。スイッチ 17 (B, C) とスイッチ 17A は垂直走査線と電源 (中 1, 中 2) とを接続する。この実施例において、電源 19 1 と電源 19 2 のうちリードパルス V_R を発生しない方のリードパルス電源は接続される垂直走査線と等しい電圧を持つ。そして垂直走査回路に記憶され

た情報は 1 リードパルス期間に 1 ビットだけシフトする。図 9 において、垂直走査回路 15 は約 500 段のシフトレジスタであり、シフトレジスタの 1 段のインバータだけがスイッチ 17 (B, C) をターンオンする際に電位 V_H を発生する。そしてシフトレジスタ 15 はインバータ 1 段おきに出力端子を持ち、約 250 個の出力端子を持つ。そしてリードパルス電圧 V_R を選択された垂直走査線に印加した後で、シフトレジスタ 15 は 1 ビット (1 インバータ段) だけ垂直搬送される。その結果、すべてのスイッチ 17 (B, C) はターンオフする。そしてその後でスイッチ 18A がターンオンし、10 相クロック回路 16 は VCCD ²段おきに 12 段だけ垂直搬送する。次にスイッチ 18A はターンオフし、シフトレジスタ 15 は 4 ビットだけシフトされる。そして、電源 19 1 と電源 19 2 のどちらかはリードパルス電圧 V_R を発生し、この ^{電源} ~~電源~~ は接続される垂直走査線と同じ電位を持つ。図 10 は 1 水平期間に VCCD が 20 段だけ垂直搬送する実施例である。リードパルス

直転送するVCCDの電位図である。

特許出願人 田中正一

電圧は18段または22段転送ごとに発生される。
 WSi 24と25の間に電位障壁を作る転送電極23にリードパルス電圧VRが印加される。WSi 27は非転送信号電荷を転送する。WNCは10個の転送電極によって作られる。

産業上の利用可能性

本発明はTVカメラ、電子カメラ、イメージセンサとして利用できる。

4. 図面の簡単な説明

図1は本発明のILA-CCDセンサのブロック図である。図2は図1のILA-CCDセンサの撮像領域を異なす平面図である。図3Aは図2のA-A'断面図である。図3Bは図2のB-B'断面図である。図4は図1のILA-CCDセンサの1時基線用CCDの平面図である。図5は図1のILA-CCDセンサのVCCD電位図である。図6は図5のVCCDに印加する10相クロック電圧図である。図7と図8と図9は転送用クロック回路(またはソフトレジスタ)と垂直走査回路の接続図である。図10は1水平期間に20段電

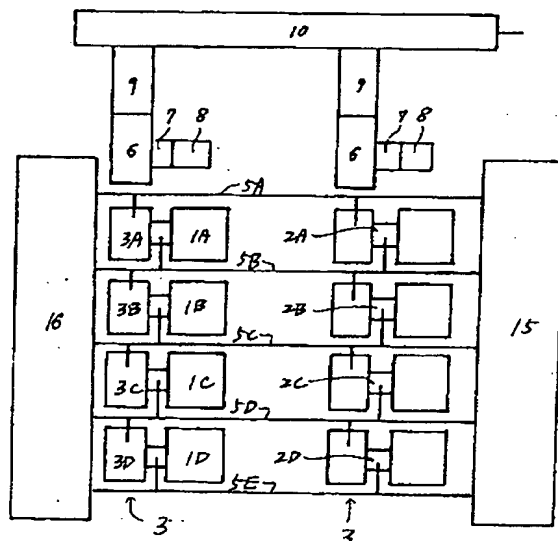


図1

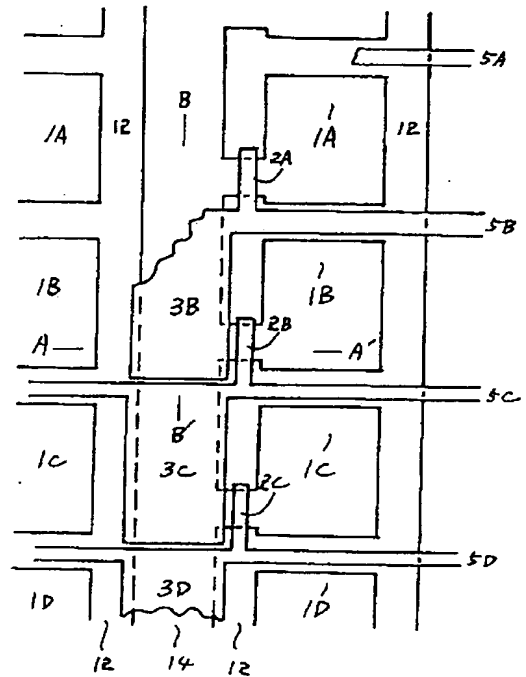


図2

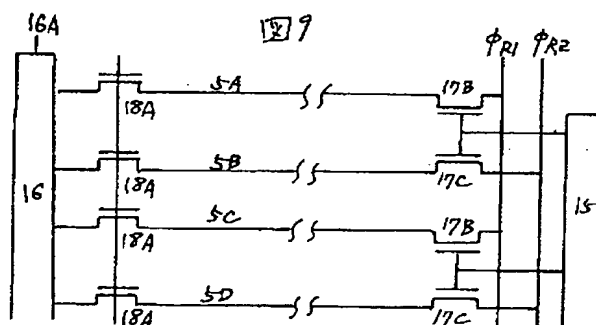
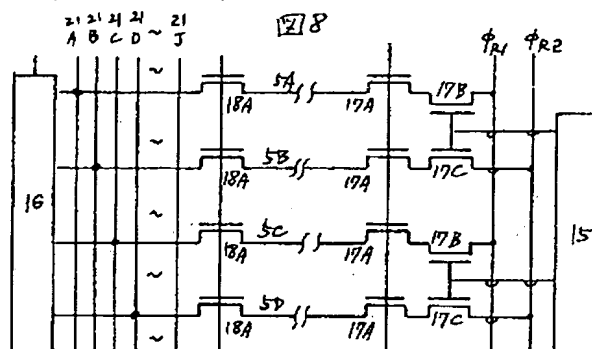
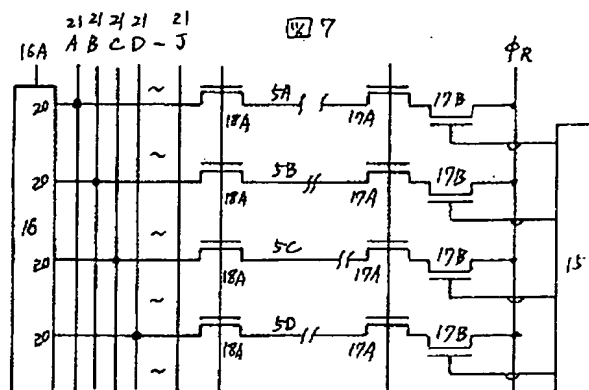
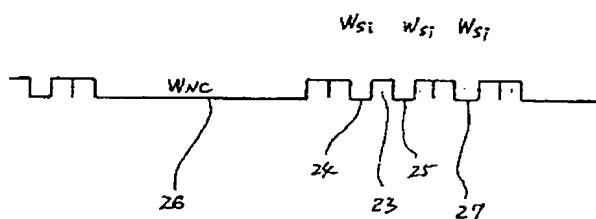


図 10



THIS PAGE BLANK (USPTO)